

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-199574

(43)Date of publication of application : 20.07.1992

(51)Int.Cl.

H01L 27/12  
H01L 21/76  
H01L 29/784

(21)Application number : 02-335342

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.11.1990

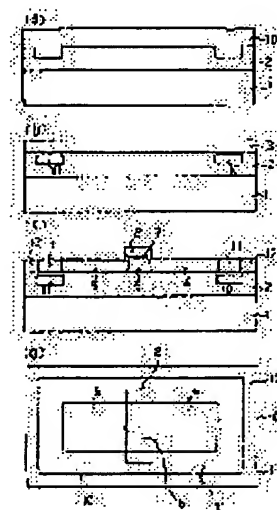
(72)Inventor : YAMANO TAKESHI  
IKEDA MIKIO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To provide a MOS transistor with normal characteristics by forming an isolation gate electrode in an insulating film under a semiconductor layer, and using the isolation gate for an isolation MOS transistor that isolates ordinary MOS transistors when it is cut off.

**CONSTITUTION:** An isolation MOS transistor is formed to surround an ordinary MOS transistor under a semiconductor layer 3. The isolation MOS transistor includes a gate 10, source/drain regions 5 and 4 of the ordinary MOS transistor, and a region outside the gate 10. When the isolation MOS transistor is cut off, the depletion layer spreads to the upper part of the channel region 6. As a result, the ordinary MOS transistor surrounded by the gate 10 of the isolation MOS transistor is separated from the outside. This eliminates the need for the removal of the semiconductor layer 3 to prevent the formation of a parasitic MOS transistor, so that a MOS transistor with normal characteristics can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-199574

⑮ Int. Cl.<sup>3</sup>

H 01 L 27/12  
21/76  
29/784

識別記号

F 7514-4M  
D 9169-4M  
S 9169-4M

庁内整理番号

9056-4M H 01 L 29/78 3 1 1 X

⑬ 公開 平成4年(1992)7月20日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-335342

⑰ 出 願 平2(1990)11月28日

⑱ 発 明 者 山 野 剛 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 池 田 三 喜 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体基板上に絶縁膜、半導体層を形成して作成したSOIデバイスにおいて、デバイス間の分離方法として、絶縁膜に形成した分離ゲートを、半導体層上に形成したMOS型トランジスタのリーク・ドレイン領域等の拡散領域から構成されるMOS型トランジスタのカットオフを利用したことを特徴とする半導体装置

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体基板上に絶縁膜、半導体層を形成して作成するSOIデバイスに関するものである。

(従来の技術)

第2図(a)(b)は従来のSOIデバイスの形成工程を示す断面図、(c)図は(b)図の上図、(d)図は(c)のA-A線における断面

図を示す。

図において、(1)は半導体基板、(2)は絶縁膜、(3)は半導体層、(4)はドレイン領域、(5)はリーク領域、(6)はチャンネル領域、(7)はゲート絶縁膜、(8)はゲート、(9)(91)は寄生MOSトランジスタのチャンネル領域を示す。

次に製造工程について説明する。

初めに第2図のように、半導体基板(1)上に絶縁膜(2)、半導体層(3)を形成する。次に第3図(b)のように、素子分離として半導体層(3)をMOS型トランジスタとなる領域を残して除去した後、ゲート絶縁膜(7)、ゲート(8)及びリーク(5)、ドレイン(4)の各領域を形成する。

第3図(c)は第3図(b)を上面から見た図で、第3図(c)のA-A線における断面を示したものが第2図(d)でゲート(8)と半導体層(3)を除去した面に寄生MOSトランジスタのチャンネル部(9)(91)が形成される。

(発明が解決しようとする課題)

従来のSOIデバイスは、以上のように構成され

ていたので、半導体層のエッジに形成される寄生MOSトランジスタが、本来の得ようっているMOSトランジスタと並列に接続されたことになり、その特性が劣化するなどの問題点が生じた。

本発明は上記のような問題点を除去するためになされたもので、寄生MOSトランジスタの形成をなくして、正常なトランジスタ特性を持つMOS型トランジスタを得ることを目的とする。

#### (課題を解決するための手段)

本発明に係るSOIデバイスは、半導体層を除去することなしにMOS型トランジスタを形成したものである。

#### (作用)

本発明におけるSOIデバイスは、半導体層下部の絶縁膜に分離ゲート電極を設け、このゲートで形成される分離MOSトランジスタをカットオフして素子間を分離することにより、半導体層の除去が不要となるため、寄生MOS型トランジスタの形成がなくなるので、正常な特性のMOS型トランジスタが得られる。

分離ゲート00を酸化して分離ゲート00の絶縁膜を形成し、さらに半導体層(3)を形成する。次に(c)図に示す様に、MOS型トランジスタのゲート絶縁膜(7)、ゲート(8)を形成した後、ソース・ドレイン領域(5)、(4)と、MOS型トランジスタ領域と分離すべき領域02へMOS型トランジスタのゲート(8)及び分離MOSトランジスタのゲート00の一部にかかる様に、不純物をドーピングし、各々ソース・ドレイン領域を形成する。

なお、上記実施例では半導体基板(1)上に形成した絶縁膜(2)、半導体層(3)から成るSOIデバイスの場合について述べたが、絶縁基板(1)上に半導体層を形成して成るSOI、TFT等であってもよい。

また、上記実施例では分離MOSトランジスタのゲート00を絶縁膜(2)の中に埋め込んだ場合を示したが、第2図に示すように絶縁膜(2)上に形成した後、半導体層を形成してもよい。

#### (発明の効果)

以上のように本発明によれば、半導体層下部に

#### (実施例)

以下、本発明の一実施例を図について説明する。

第1図(a)～(c)は本発明の一実施例であるSOIデバイスの製造工程を示す断面図、(d)図は(c)図の上面図を示す。

図において、(1)は半導体基板、(2)は絶縁膜、(3)は半導体層、(4)はドレイン領域、(5)はソース領域、(6)はチャネル領域、(7)はゲート絶縁膜、(8)はゲート、00は分離MOSトランジスタのゲート、02は分離MOSトランジスタのチャネル領域、02は分離MOSトランジスタで囲まれたMOS型トランジスタと分離すべき領域である。

次に製造工程について説明する。

初めに第1図(a)において、半導体基板(1)上に絶縁膜(2)を形成し、分離すべきMOS型トランジスタの領域02を囲む様に絶縁膜(2)の一部を除去後、分離MOSトランジスタの分離ゲート00を絶縁膜(2)の除去部を充分埋めるだけ形成する。次に(b)図に示す様に、分離ゲート00をエッチバックし、絶縁膜(2)の除去部以外の面まで除去した後、

MOS型トランジスタを囲む要に形成した分離MOSトランジスタのゲートと、MOS型トランジスタのソース・ドレイン領域および分離MOSトランジスタのゲートの外側領域で形成される分離MOSトランジスタをカットオフし、チャネル領域の上部まで空層を広げ、分離MOSトランジスタゲートで囲まれるMOS型トランジスタと外側を分離することにより、半導体層を除去することなく寄生MOSトランジスタの形成がなくなるため、正常な特性のMOS型トランジスタが得られるという効果がある。

#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例であるSOIデバイスの形成工程の断面図及び上面図、第2図は本発明の他の実施例を示すSOIデバイスの断面図、第3図(a)～(d)は従来のSOIデバイスの形成工程の断面図及び上面図である。

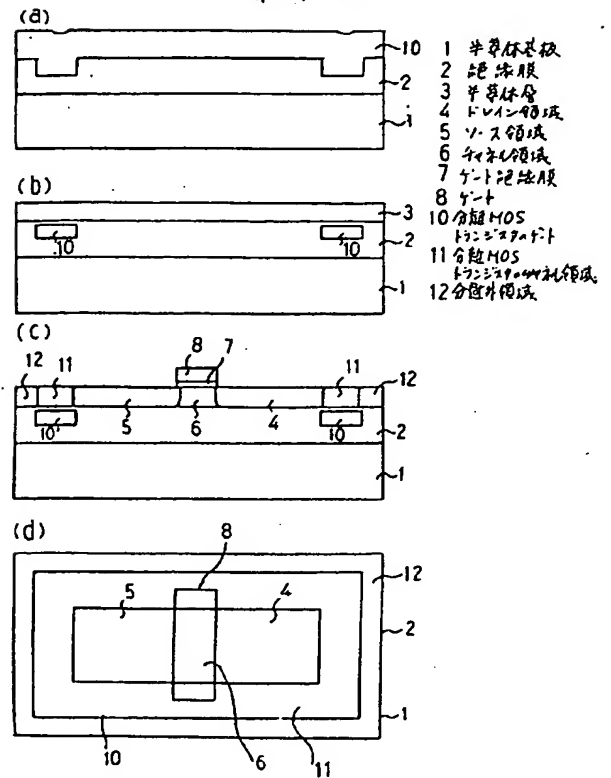
図において、(1)は半導体基板、(2)は絶縁膜、(3)は半導体層、(4)はドレイン領域、(5)はソース領域、(6)はチャネル領域、(7)はゲート絶縁膜、(8)はゲ

ト、00は分離MOSトランジスタのゲート、00は分離MOSトランジスタのチャネル領域、02は分離外領域を示す。

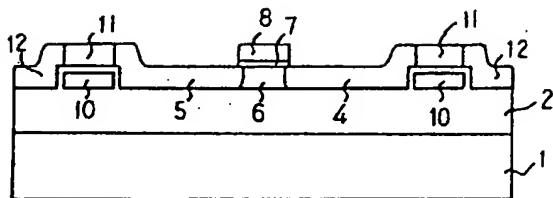
なお、図中、同一符号は同一、又は相当部分を示す。

代理人 大岩 増 雄

第 1 図



第 2 図



第 3 図

